

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-240468
 (43)Date of publication of application : 12.09.1995

(51)Int.Cl. H01L 21/82
 H01L 27/04
 H01L 21/822

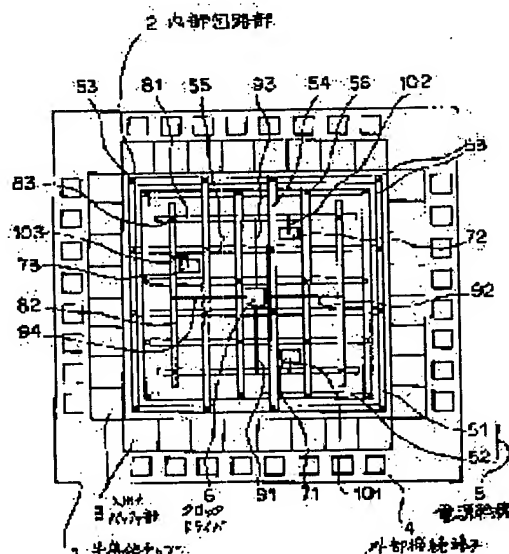
(21)Application number : 06-052646 (71)Applicant : NEC CORP
 (22)Date of filing : 28.02.1994 (72)Inventor : KONDO KEIICHIRO

(54) FORMATION OF SIGNAL LINE IN SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a method for forming a clock signal in which the clock skew is suppressed when a plurality of clock signals are transmitted from a clock driver in a semiconductor device to a plurality of flip-flops.

CONSTITUTION: At the time of fabrication of a semiconductor device having main feeders 51, 52 and branch feeders 54, 55 where clock signals are transmitted from a clock driver 6 at an inner circuit section 2 of a semiconductor device 1 to a plurality of flip-flops 71-73, the branch feeder proximate to the flip-flop is disconnected, as clock signal lines, from the main feeder. The clock output lines 91-94 of the clock driver 6 are extended in X and Y directions and connected with the clock signal lines 81, 82 and the clock input lines 101-103 of the flip-flops 71-73 are connected with the clock signal lines 81, 82 thus making uniform the length of clock signal line between the clock driver and each flip-flop.



LEGAL STATUS

[Date of request for examination] 27.10.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted]

registration]

[Date of final disposal for application]

[Patent number] 2921387

[Date of registration] 30.04.1999

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right] 30.04.2002

Copyright (C); 1998,2000 Japan Patent Office

識別記号	片内整理番号	F I	技術表示箇所
(51)IntCl. [*]			
H 01 L 21/82			
27/04			
21/822	8832-4M	H 01 L 21/ 82	W
		27/ 04	F.
			審査請求 未請求 請求項の数 4 F D (全 6 頁) 最終頁に添く

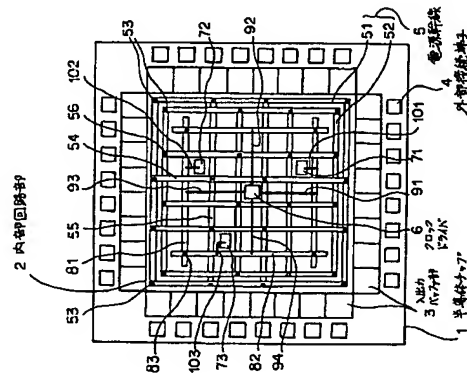
(21)出願番号	特願平6-52646	(71)出願人	000004227 日本電気株式会社 東京都港区芝五丁目7番1号 近藤 敏一朗 東京都港区芝五丁目7番1号 日本電気株式 会社社内
(22)出願日	平成6年(1994)2月28日	(72)発明者	弁理士 鈴木 肇夫 (74)代理人

(54) 【発明の名称】
半導体装置の信号線の形成方法

【要約】(57)

【目的】 半導体装置に設けたクロックドライバから複数のフリッピングにクロック信号を送る際のクロックスキューを低減したクロック信号線を形成する方法を得る。

【構成】 半導体装置1の内部回路部2に設けたクロックドライバ6から複数のプリップフリップ71～73に対してクロック信号を伝送し、電源線5として電源線5、1、52と通信線54、55とを備える半導体装置51。52と通信線54、55とを接続する電源線52の構造の製造に際し、プリップフリップに近接する電源線52を電源線5から切り離してクロック信号線81、82とし、クロックドライバ6のクロック出力線91～94とし、X、Y方向に延長してクロック信号線81、82に接続し、各プリップフリップ71～73のクロック入力線101～103をクロック信号線81、82に接続し、クロック信号線81、82から各プリップフリップへのクロック信号線の長さを均一化する。



71~73: 7'14"70.47°
81, 82: 70.47°45.54°

【特許請求の範囲】

【請求項1】 半導体は装置の内部回路部に形成した複数の素子に対し、前記内部回路部の概中央位置に設けた素子から信号をそれと伝送するように構成され、かつ前記素子とそれとを接続するために半導体装置のX方向及びY方向にそれとを伝送するための電源線と地線線とを有する半導体装置の製造に際し、前記地線線の一部を電線と前記電源線から切り離し、この電源線と前記信号の伝送線とを同一線として形成することを特徴とする半導体装置の信号線の形成方法。

【請求項2】 電源供給部は内部回路部の周辺に沿ってX方向及びY方向に延設され、互いに電気接続され、電源供給部は内部回路部においてX方向及びY方向に延設される延長アタチン部と、この延長アタチン部を前記電源供給部に接続させ、接続アタチン部と構成され、信号伝送線として用いられる電源供給線はその接続アタチン部を介して接続アタチン部を設計する請求項1の半導体装置の製造方法。

【請求項3】 信号を出力する素子は、信号出力線がX方向とY方向の両方へ向及びY方向に突出されて信号伝送線に接続され、信号が入力される素子は、それぞれの信号入力線が近接配置された信号伝送線に接続される請求項2の半導体装置の信号線形成方法。

【請求項4】 半導体装置の内部回路部の際中央に設けられたクロックドライバと、前記内部回路部に配設した複数個のフリップフロップとを有し、前記クロックドライバから各フリップフロップに対してクロック信号を伝送するようにより構成し、かつ前記内部回路部の周辺部に四角するようにより設けられた電源線と、前記内部回路部内にX方向及びY方向に延びて前記電源線に接続される電源線とを備える半導体装置の製造に際し、前記電源線のうち、前記フリップフロップに近接する電源線を電源線群のうち、前記クロック信号線とし、前記クロックドライバのクロック出力線をX方向及びY方向に延長して前記電源線群のクロック出力線と接続し、前記フリップフロップのクロック入力線を近接配置した前記クロック信号線と接続することと特徴とする半導体装置の信号線の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置に形成された一の素子から他の素子に信号を伝送するための信号線を形成する方法に關し、特に一の素子から複数の他の素子に對する信号線の長さの均一化を図った信号線の形成方法に關する。

[0002]

【従来の技術】半導体装置では、一の素子から出力される信号を他の複数の素子に同時に伝送させることが要求される場合がある。例えば、クロック信号により動作される複数のフリップフロップにクロックドライバからのクロック信号を伝送する場合には、各フリップフロップ

に同期的にクロック信号を伝送しないと、各素子間の動作が同期化されず、半導体装置の正常な動作が行われなくなるおそれがある。このため、クロックドライバは、複数のフリップフロップに対しては、クロック信号を伝送するクロック信号線の長さを均一にし、各フリップフロップにおける同期化を図ることが必要とされる。

【0003】従来では、特開平３－１７７９１号公報に示すように、クロック信号線に寄生する容量を均一化することで時間軸上の真価的な長さの均一化を図っている。図４に示すように半導体チップ２００の人ものがある。図４に示すように半導体チップ２００の人力端子２０１を通して外部からのクロック信号をクック人入路２０２で受け、更にこのクロック信号を第１クロック分配回路２０３で受け、ここでクロック信号を複製側の第２クロック分配回路２０４に分配し、更に、この第２クロック分配回路２０４から複製の回路２０９に分配するように構成されている。そして、第１クック分配回路２０３から第２クロック分配回路２０４に至る全てのクロック信号線２０５、２０６の寸法または断面にそれぞれ交差する信号配線の空室領域に電圧降下２０７に接続するダミー電源配線２０８を交差配線することによりクロック信号線２０５、２０６の等容性化を図っている。

【0004】一方、特開平４－４８７７８号公報、特開平４－４８７７９号公報に記載のものでは、図５に示すように、第２層金属３０５を被覆して形成したスルーホール３０６で接続することによってクロック信号線３０３を平均半導体チップ３００の中にメッシュ状に配設しておき、クロックドライバ３０１からのクロック信号が入力されるフリップフロップ３０２は、そのフリップフロップ３０２に最も近いクック信号線３０３にフリップフロップ入力線３０７を用いて接続すること、クロックドライバ３０１から各フリップフロップ３０２に対する抵抗を低減し、クロック信号のスキューを削減している。

【0005】

【発明が解決しようとする課題】このような従来のクック信号線の配線方法においては、前者のダミー電源線を用いる構成では、クロック信号線２０５、２０６の等容性を確保するために交差配置したダミー電源配線２０８を形成するに際しては、クロック信号線２０５、２０６やその他の配線の形状を行った後、寄き配線領域にダミー電源配線２０８を配線する必要があつてしまうという問題がある。また、再度配線をやり直しを行うという場合にダミー電源配線２０８を取り外さなければならず、手間がかかるという問題がある。

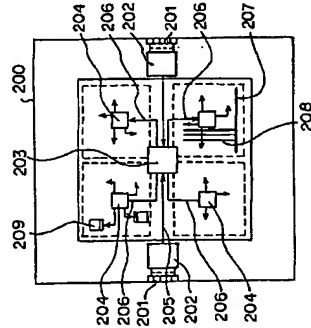
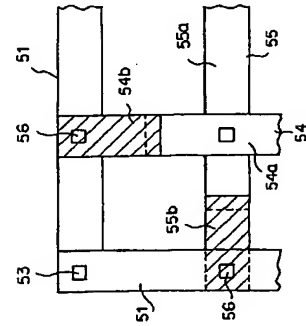
【0006】また、後者のクロック信号線３０３を下部領域に配設しておく構成では、クロック信号線を用いないことは、この配線とした領域が無意味な領域とならない。

【発明の効用】以上説明したように本発明は、半導体装置に設けた素子に電源を供給するためにX方向及びY方向にそれぞれ延設される電源線と電源線との間に、電源線の一部を電源線から切り離し、この電源線と電源線とを半導体装置の内部回線間に形成した一の素子から他の複数の素子に対して信号を伝送するための信号の伝送線として形成する手段を採用することにより、一の素子と他の複数の素子との間の信号伝送線の長さを一均一化し、複数の素子に対する信号伝送の同期化を図った半導体装置を容易に製造することが可能となる。

【0022】また、通常は、電源配線として用いている電源配線の一部を信号伝送線として利用するため、信号伝送線を形成するためのスペースを確保しておく必要がなく、信号伝送線を形成しない場合におけるスペースの無駄がなくなり、半導体装置の芯集積化を図る上で有効となる。更に、信号伝送線を形成する際には、既に建設されている電源配線の一部を配線設計時に削除して、その線路を切り開き工程を付加するだけでよく、その線路との接続と他の配線と他の配線を行うだけでよく、その後は信号伝送線相互の接続と他の配線とすることも可能となる。また、配線の設計工程を削減することも可能となる。

【0023】特に、電源線は内部回路部においてX方向及びY方向に延設される電源セグメントと、この延長部とを前記電源線に接続される接続パターン部とで構成され、信号伝送線として用いられる電源線は、接続パターン部を削除して線パターンを設計し、この接続パターンに基づいて通線路を形成することで、電源線と同時且つ信号伝送線を容易に形成することが可能となる。

【0024】また、本発明の形成方法は、内部回路部の略中央に設けたクロックドライバと、このクロックドライバからクロック信号が伝送される複数のブリップフロップとで構成される半導体装置に適用されることで、



予め設計されている電源線のデータの一部を変更するだけで、電源技術の一部をクロック信号線として形成することができ、各フリップフロップに対するクロック信号線の長さを均一化し、クロックスキューを低減させた半導体装置を容易に設計、形成することができる。

【図面の簡単な説明】

【図 1】本発明方法により形成されたクロック信号線を有する半導体装置の要部を示す平面図である。

【図2】電源幹線と電源枝線を接続する接続パターンを概念的に示す模式図である。

【図3】本発明の配線方法の工程の一例を示すフローチャートである

【図4】従来の配線構成の一例を示す模式的な平面図である。

【図5】従来の配線構成の他の例を示す模式的な平面図である。

【附註】

- | | | |
|------------|-------------|--|
| 1 | 半導体チップ | |
| 2 | 内部回路部 | |
| 3 | 入出力バンプ部 | |
| 4 | 外部接続端子 | |
| 5 | 電源配線 | |
| 51, 52 | 電源管線 | |
| 54, 55 | 電源支線 | |
| 54b, 55a | 延長パターン部 | |
| 54b, 55b | 接続パターン部 | |
| 6 | クロックドライバ | |
| 71, 72, 73 | フリップフロップ | |
| 81, 82 | クロック信号線 | |
| 91~94 | クロックドライバ出力線 | |
| 101~103 | フリップフロップ入力線 | |

